

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-283948

(43)Date of publication of application : 29.10.1993

(51)Int.Cl.

H03F 3/343

(21)Application number : 04-075014

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 31.03.1992

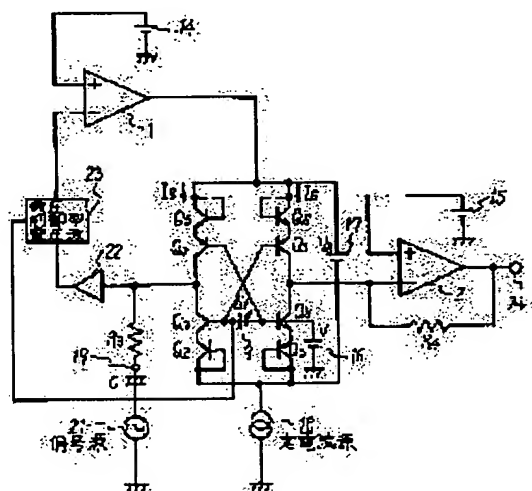
(72)Inventor : UTO YOSHIYUKI
KOYAMA JUN

(54) VOLTAGE CONTROL TYPE GAIN VARIABLE AMPLIFIER CIRCUIT

(57)Abstract:

PURPOSE: To provide the circuit having good oscillation stability with less distortion by placing a voltage control type attenuator in a feedback path to prevent the loop gain of the feedback loop from being changed by the control voltage.

CONSTITUTION: The feedback is applied to the inversion input terminal from the output terminal of an arithmetic amplifier 1 through a circuit consisting of transistors Q5, Q6, Q7, Q8, Q0, Q1, Q2, and Q3, buffer amplifier 22, and voltage control type attenuator 23 to the inversion input terminal. The attenuator 23 is set so that the gain from the amplifier 22 through the attenuator 23 to the inversion input terminal of the amplifier 1 should be proportional to the prescribed function. Thus, the operating gain of the amplifier 1 can be prevented from being affected by a control voltage source 9. Thus, the circuit with higher oscillation stability can be provided.



LEGAL STATUS

[Date of request for examination] 28.03.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2806684

[Date of registration] 24.07.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 24.07.2002

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-283948 ✓

(43)公開日 平成 5 年(1993)10月29日

(51)Int.Cl.⁵

H 0 3 F 3/343

識別記号

庁内整理番号

F I

技術表示箇所

Z 8124-5 J

審査請求 未請求 請求項の数 2 (全 9 頁)

(21)出願番号

特願平4-75014

(22)出願日

平成 4 年(1992) 3 月31日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会
社

神奈川県川崎市中原区小杉町 1 丁目403番
53

(72)発明者 宇都 佳之

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

(72)発明者 小山 潤

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 電圧制御型利得可変増幅回路

(57)【要約】

【目的】電圧制御型利得可変増幅回路において、制御電圧を変化させても、帰還ループのループ利得が変化することがなく、発振安定度が良好で歪悪化の少ない増幅回路。

【構成】演算増幅器 1 のループ利得の変化をおぎなうために、同じ制御電圧源 9 で制御される電圧制御型減衰器 23 を帰還経路の中に入れ、制御電圧 ΔV によってループ利得が変化することを防ぐ。

1, 2 : 演算増幅器

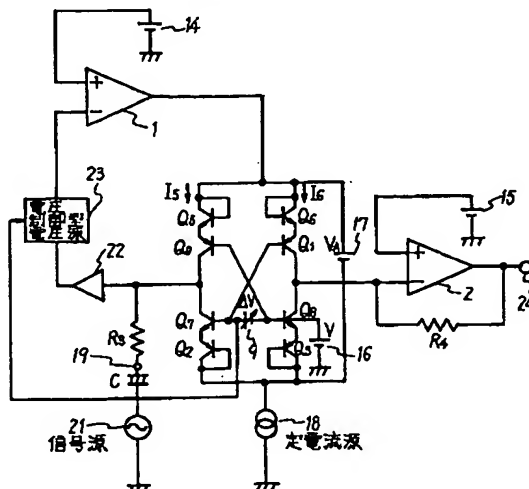
9 : 制御電圧源

14, 15, 16, 17 : 定電圧源

19 : 入力端子

23 : 緩衝増幅器

24 : 出力端子



【特許請求の範囲】

【請求項 1】 コレクタが第 1 の電流入出力端子に接続されベースが固定電圧端子に接続されエミッタが第 1 の信号入力端子に接続された第 1 のバイポーラトランジスタと、コレクタが前記第 1 の電流入出力端子に接続されベースが制御電圧端子に接続されエミッタが第 2 の信号入力端子に接続され前記第 1 のバイポーラトランジスタと逆導電型の第 2 のバイポーラトランジスタとによって構成される電流・電圧変換回路と、コレクタが第 2 の電流入出力端子に接続されベースが前記制御電圧端子に接続されエミッタが前記第 1 の信号入力端子に接続され前記第 1 のバイポーラトランジスタと同導電型の第 3 のバイポーラトランジスタと、コレクタが前記第 2 の電流入出力端子に接続されベースが前記固定電圧端子に接続され、エミッタが前記第 2 の信号入力端子に接続され前記第 1 のバイポーラトランジスタと逆導電型の第 4 のバイポーラトランジスタとによって構成される電圧・電流変換回路と、反転入力端に第 1 の抵抗器を介して信号が入力され出力端子が前記第 1 の信号入力端子に接続され演算増幅器と、前記第 2 の電流入出力端子から出力信号を取り出す出力回路とを備える電圧制御型利得可変増幅回路において、前記第 1 の抵抗器の信号出力側端子を前記第 1 の電流入出力端子に接続し、前記演算増幅器の帰還経路内に電圧制御型減衰器を接続し、前記電流・電圧変換回路および前記電圧・電流変換回路の利得制御と前記電圧制御型減衰器の減衰制御とを連動させることを特徴とする電圧制御型利得可変増幅回路。

【請求項 2】 請求項 1 記載の電圧制御型利得可変増幅回路において、前記第 1 の信号入出力端子と、前記第 1 のバイポーラトランジスタのエミッタとの間および前記第 3 のバイポーラトランジスタのエミッタとの間、並びに前記第 2 の信号入出力端子と前記第 3 のバイポーラエミッタとの間および前記第 4 のバイポーラトランジスタのエミッタとの間に、ダイオードを設けたことを特徴と

する電圧制御型利得可変増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電圧制御型利得可変増幅回路に関し、特に、帰還ループがバイポーラトランジスタを用いて構成された電圧制御型利得可変増幅回路に関する。

【0002】

【従来の技術】 従来、この種の電圧制御型の利得可変増幅回路は、その一例が図 3 に示されるように、PNP バイポーラトランジスタ（以後トランジスタと記す） Q_0 、 Q_1 、 Q_2 、 Q_3 および NPN トランジスタ Q_5 、 Q_6 、 Q_7 、 Q_8 の $V_{BE}-I_C$ 特性を利用して、利得可変増幅回路を構成している。

【0003】 以下にこの回路の動作を説明する。演算増幅器 1 は、トランジスタ $Q_0 \sim Q_3$ 、 $Q_5 \sim Q_8$ で構成された回路を介して、出力端から反転入力端へ帰還がかけている。信号源 2 1 よりコンデンサ C を介して入力端子 1 9 へ信号 + v_{in} が入力されると、この信号は抵抗 R_3 によって電流に変換され、トランジスタ Q_7 側へ流入する。この流入電流を i_{in} とすれば、下記の (1) 式が成り立つ。

$$【0004】 i_{in} = v_{in} / R \quad \dots (1)$$

（但し、 R は抵抗 R_3 の抵抗値）また、演算増幅器 2 の出力端より抵抗 R_4 を介してトランジスタ Q_8 へ流れこむ電流を i_{out} とすれば出力端子 2 4 に発生する電圧 v_{out} と電流 i_{out} の間には、以下の (2) 式が成り立つ。

$$【0005】 i_{out} = v_{out} / R \quad \dots (2)$$

ここで R は抵抗 R_4 の抵抗値であり、抵抗 R_3 の抵抗値と同値である。

【0006】 次にトランジスタ Q_5 のコレクタ電流を I_5 、トランジスタ Q_6 のコレクタ電流を I_6 とおき制御電圧源 9 の電圧を ΔV とおくと、トランジスタ Q_5 、 Q_6 、 Q_0 、 Q_1 の間には下記の式が成り立つ。

【0007】

$$\Delta V = \frac{kT}{q} \left(\ln \frac{I_5}{I_{SN}} + \ln \frac{I_5}{I_{SP}} \right) - \frac{kT}{q} \left(\ln \frac{I_6}{I_{SN}} + \ln \frac{I_6}{I_{SP}} \right)$$

$$= \frac{kT}{q} \ln \frac{I_5}{I_6}$$

$$\text{よって、} \frac{I_5}{I_6} = \exp \left(\frac{q}{2kT} \Delta V \right) \quad \dots (3)$$

【0008】ここで、 I_{SN} 、 I_{SP} はそれぞれ、NPNトランジスタとPNPトランジスタの飽和の電流である。

【0009】

$$n = \exp \left(\frac{q}{2kT} \Delta V \right)$$

$$\Delta V = \frac{kT}{q} \left(\ln \frac{I_5 + i_{in}}{I_{SN}} + \ln \frac{I_5 + i_{in}}{I_{SP}} \right)$$

$$- \frac{kT}{q} \left(\ln \frac{I_6 + i_{OUT}}{I_{SN}} + \ln \frac{I_2 + i_{OUT}}{I_{SP}} \right) = \frac{2kT}{q} \ln \frac{I_5 + i_{in}}{I_6 + i_{OUT}}$$

$$\text{よって、} \frac{I_5 + i_{in}}{I_6 + i_{OUT}} = \exp \left(\frac{q}{2kT} \Delta V \right) = n \quad \dots (5)$$

【0013】(5)式を(4)式に代入して、

$$n I_6 + i_{in} = n (I_6 + i_{OUT})$$

よって、

$$i_{OUT} = i_{in} / n \quad \dots (6)$$

【0010】とおくと、(3)式より

$$I_5 = n I_6 \quad \dots (4)$$

となる。

【0011】一方、トランジスタ Q_7 、 Q_8 、 Q_2 、 Q_3 の電流の間には、下記の関係が成立する。

【0012】

が成立する。

【0014】回路の利得 A_v は(1)、(2)、(6)式より

【0015】

$$A = \frac{V_{OUT}}{V_{IN}} = 1/n$$

$$= \exp\left(-\frac{q}{2kT}\Delta V\right) \dots (7)$$

【0016】となる。これはこの増幅回路の利得が制御電圧源 9 の電圧によって制御できることを示している。

【0017】

【発明が解決しようとする課題】上述した従来の電圧制御型利得可変増幅回路は、制御電圧 ΔV が高くなると、帰還ループのループ利得が上がり発振安定度が悪化し、逆に制御電圧 ΔV が低くなると、ループ利得が下がり歪が悪化してしまうという問題点があった。以下にその説明をする。

【0018】図 3 において、この利得可変増幅器の帰還

$$A_{VO2} = \frac{1}{r_{e5} + r_{e0}} \cdot R = \frac{q}{2kT} I_5 \cdot R \dots (8)$$

【0020】となる。このときトランジスタ Q_5 , Q_7 , Q_8 , Q_0 , Q_2 , Q_3 のベース・エミッタ間電圧をそれぞれ、 V_{BE5} , V_{BE7} , V_{BE8} , V_{BE0} , V_{BE2} , V_{BE3} とし、定電圧源 17 の電圧を V_A とすれば、

$$V_A = V_{BE5} + V_{BE0} + V_{BE8} + V_{BE3} \dots (9)$$

$$V_{BE7} + V_{BE2} - \Delta V = V_{BE8} + V_{BE3} \dots (10)$$

となる。(9) 式と (10) 式とより、

$$V_A = V_{BE5} + V_{BE0} + V_{BE7} + V_{BE2} - \Delta V$$

である。定常状態では、トランジスタ Q_5 , Q_0 ,

Q_7 , Q_2 に流れる電流 I_5 は等しいので、

$$V_{BE5} = V_{BE7} , V_{BE0} = V_{BE2} \dots (11)$$

よって、 $V_A = 2(V_{BE5} + V_{BE0}) - \Delta V$

$$V_{BE5} + V_{BE0} = (V_A + \Delta V) / 2 \dots (12)$$

$$I_5 = (I_{SN} \cdot I_{SP})^{1/2} \exp\left\{\frac{q}{4kT}(V_A + \Delta V)\right\} \dots (13)$$

【0024】となる。従って、(8) 式、(13) 式より、

$$A_{VO2} = \frac{q}{2kT} \cdot R \cdot (I_{SN} \cdot I_{SP})^{1/2} \exp\left\{\frac{q}{4kT}(V_A + \Delta V)\right\}$$

【0026】よって、全体のループ利得 A_{VO} は、

ルールのループ利得 A_{VO} について考える。この場合、演算増幅器 1 自体の利得は一定なのでこれを A_{VO1} とする。次に、演算増幅器 1 の出力端から反転入力端までの利得 A_{VO2} を求める。このとき、 $A_{VO} = A_{VO1} \times A_{VO2}$ である。出力端が+側にふれた場合には、トランジスタ Q_5 , Q_0 それぞれのエミッタ抵抗を r_{e5} , r_{e0} とすると、トランジスタ Q_0 はエミッタにダオイドが接続されたベース接地の増幅器となるので、

【0019】

すなわち、

【0021】

$$\frac{V_A + \Delta V}{2} = \frac{kT}{q} \left(\ln \frac{I_5}{I_{SN}} + \ln \frac{I_5}{I_{SP}} \right)$$

$$= \frac{kT}{q} \ln \frac{I_5^2}{I_{SN} \cdot I_{SP}}$$

【0022】となる。従って、電流 I_5 は、

【0023】

【0025】

【0027】

$$A_{VO} = A_{VO1} \times A_{VO2}$$

$$= A_{VO1} \cdot \frac{q}{2kT} \cdot R \cdot (I_{SN} \cdot I_{SP})^{1/2} \cdot \exp\left\{\frac{q}{4kT}(V_A + \Delta V)\right\}$$

【0028】となって、制御電圧 ΔV によってループ利得が変化してしまう。

【0029】本発明は上記の点に鑑みてなされたものであって、帰還ループのループ利得が制御電圧に依存せず、制御電圧が変化しても発振安定度が低下したり、或いはひずみが悪化することのないような電圧制御型利得可変増幅回路を提供することを目的とする。

【0030】

【課題を解決するための手段】本発明の電圧制御型利得可変増幅回路は、コレクタが第1の電流入出力端子に接続されベースが固定電圧端子に接続されエミッタが第1の信号入力端子に接続された第1のバイポーラトランジスタと、コレクタが前記第1の電流入出力端子に接続されベースが制御電圧端子に接続されエミッタが第2の信号入力端子に接続され前記第1のバイポーラトランジスタと逆導電型の第2のバイポーラトランジスタとによって構成される電流・電圧変換回路と、コレクタが第2の電流入出力端子に接続されベースが前記制御電圧端子に接続されエミッタが前記第1の信号入力端子に接続され前記第1のバイポーラトランジスタと同導電型の第3のバイポーラトランジスタと、コレクタが前記第2の電流入出力端子に接続されベースが前記固定電圧端子に接続され、エミッタが前記第2の信号入力端子に接続され前記第1のバイポーラトランジスタと逆導電型の第4のバイポーラトランジスタとによって構成される電圧・電流変換回路と、反転入力端に第1の抵抗器を介して信号が入力され出力端子が前記第1の信号入力端子に接続され演算増幅器と、前記第2の電流入出力端子から出力信号を取り出す出力回路とを備える電圧制御型利得可変増幅回路において、前記第1の抵抗器の信号出力側端子を前記第1の電流入出力端子に接続し、前記演算増幅器の帰

還経路内に電圧制御型減衰器を接続し、前記電流・電圧変換回路および前記電圧・電流変換回路の利得制御と前記電圧制御型減衰器の減衰制御とを連動させることを特徴としている。

【0031】

【実施例】次に本発明の好適な実施例について図面を参照して説明する。図1は、本発明の一実施例の構成を示す回路図である。図1を参照すると本実施例は、第1の演算増幅器1、第2の演算増幅器2、電流電圧変換回路を構成するNPNトランジスタ Q_5 、 Q_7 およびPNPトランジスタ Q_0 、 Q_2 、電圧電流変換回路を構成するNPNトランジスタ Q_6 、 Q_8 およびPNPトランジスタ Q_1 、 Q_3 、定電圧源14、15、16、17、定電流源18、入力抵抗 R_3 、帰還抵抗 R_4 、制御電圧源9、緩衝増幅器22並びに電圧制御型減衰器23を備えている。

【0032】以下に本実施例の動作を説明する。本実施例では、演算増幅器1の出力端より、トランジスタ Q_5 、 Q_6 、 Q_7 、 Q_8 、 Q_0 、 Q_1 、 Q_2 、 Q_3 で構成される回路と、緩衝増幅器22と、電圧制御型減衰器23とを介して、反転入力端に帰還をかけている。

【0033】ここで演算増幅器1における帰還ループのループ利得について説明する。この場合、演算増幅器1自体の利得は一定なので、演算増幅器1の出力端から緩衝増幅器22の入力端までの利得を A_{v1} とし、緩衝増幅器22から演算増幅器1の反転入力端までの利得を A_{v2} として、演算増幅器1の出力端が+側にふれた場合について説明する。トランジスタ Q_5 、 Q_0 それぞれのエミッタ抵抗を r_{e5} 、 r_{e0} とし、流れる電流を I_5 とすれば、

【0034】

$$A_{v1} = \frac{1}{r_{e5} + r_{e0}} \cdot R = \frac{q}{2kT} \cdot I_5 \cdot R \quad \dots (14)$$

【0035】ここで、 R は抵抗 R_3 の抵抗値である。このときのトランジスタ Q_5 、 Q_7 、 Q_8 、 Q_0 、 Q_2 、 Q_3 のベース・エミッタ間電圧を、それぞれ V_{BE5} 、 V_{BE7} 、 V_{BE8} 、 V_{BE0} 、 V_{BE2} 、 V_{BE3} とし、定電圧源の電圧17を V_A 、定電圧源16の電圧を V 、制御電圧

$$V_A = V_{BE5} + V_{BE0} + V_{BE7} + V_{BE2} - \Delta V \quad \dots (17)$$

定常状態では、トランジスタ Q_5 、 Q_7 、 Q_0 、 Q_2 に

源の電圧を ΔV とすれば

$$V_A = V_{BE5} + V_{BE0} + V_{BE8} + V_{BE3} \quad \dots (15)$$

$$V_{BE7} + V_{BE2} - \Delta V = V_{BE8} + V_{BE3} \quad \dots (16)$$

(15)、(16)式より、

50 流れる電流 I_5 は等しいので、

$$V_{BE5} = V_{BE7}, V_{BE0} = V_{BE2} \quad \dots (18)$$

(17), (18) 式より、

$$V_A = 2(V_{BE5} + V_{BE0}) - \Delta V$$

$$V_{BE5} + V_{BE0} = (V_A + \Delta V) / 2$$

ここで、トランジスタ Q_5 , Q_0 には電流 I_5 が流れているので、

【0036】

$$V_{BE5} = \frac{kT}{q} \ln \frac{I_5}{I_{SN}}, V_{BE0} = \frac{kT}{q} \ln \frac{I_5}{I_{SP}}$$

【0037】である。従って、

【0038】

$$\frac{V_A + \Delta V}{2} = \frac{kT}{q} \left(\ln \frac{I_5}{I_{SN}} + \ln \frac{I_5}{I_{SP}} \right)$$

$$= \frac{kT}{q} \ln \frac{I_5^2}{I_{SN} \cdot I_{SP}}$$

$$I_5 = (I_{SN} \cdot I_{SP})^{1/2} \cdot \exp \left\{ \frac{q}{4kT} (V_A + \Delta V) \right\} \quad \dots (19)$$

【0041】となる。従って (14), (19) 式より

【0042】

A_{v1} は、

$$A_{v1} = \frac{q}{2kT} \cdot R \cdot (I_{SN} \cdot I_{SP})^{1/2} \cdot \exp \left\{ \frac{q}{4kT} (V_A + \Delta V) \right\} \quad \dots (20)$$

【0043】したがって、前述の緩衝増幅器 22 から減衰器 23 を介して演算増幅器 1 の反転入力端までの利得

V_{v2} が、

【0044】

$$\left(\frac{q}{2kT} \cdot R \cdot (I_{SN} \cdot I_{SP})^{1/2} \cdot \exp \left\{ \frac{q}{4kT} (V + \Delta V) \right\} \right)^{-1} \quad \dots (21)$$

【0045】に比例するように電圧制御型減衰器を設定することによって、演算増幅器 1 の開利得が制御電圧源 9 (ΔV) に影響されないようにすることができる。つまり、制御電圧源 9 の電圧 ΔV によってループ利得が変化することのない電圧制御型利得可変増幅回路を構成できる。

【0046】ここで、本実施例に用いられる電圧制御型減衰器 23 について説明する。図 2 は電圧制御型減衰器 23 のトランジスタレベルの回路図である。この減衰器は以下のように動作する。

【0047】入力端子 51 から入力された信号は、2 段の差動増幅器を通して出力端子 53 に出力される。制御端子 52 には、図 1 中の制御電圧源 9 が接続される。抵抗器 R_9 , R_0 の抵抗値を R とし、定電流源 57, 58 の電流値を I_1 、トランジスタ Q_{15} のコレクタ電流 I_2 、定電圧源 55 の電圧を V_1 、制御端子 52 にかかる電圧を $V + \Delta V$ とすれば、入力端子 51 から出力端子 53 までの利得 V_{v2} は下記の (22) 式のようにになる。

【0048】

$$A_{v2} = \frac{\frac{kT}{q}}{R} \cdot 2 \cdot \frac{qI_2}{4kT} \cdot 2 \cdot R = \frac{I_2}{I_1} \dots (22)$$

【0049】又、トランジスタQ₁₅のコレクタ電流I₂は、トランジスタQ₂₉並びにダイオードD₁、D₂、D₃の飽和電流をI_{S1}とすれば、

【0050】

$$I_2 = I_{S1} \cdot \exp \frac{q}{4kT} \{V_1 - (V + \Delta V)\}$$

【0051】したがって、

$$A_{v1} \times A_{v2} = \frac{q}{2kT} \cdot R \cdot (I_{SN} \cdot I_{SP})^{1/2} \cdot \exp \frac{q}{4kT} (V_A + \Delta V)$$

$$\times \frac{I_{S1}}{I_1} \cdot \exp \frac{q}{4kT} \{V_1 - (V + \Delta V)\}$$

$$= \frac{q}{2kT} \cdot R \cdot \frac{I_{S1}}{I_1} \cdot (I_{SN} \cdot I_{SP})^{1/2} \cdot \exp \frac{q}{4kT} (V_A + V_1 - V)$$

... (23)

【0055】となる。(23)式で表わされる利得A_{v0}からはΔVの項が消え、本実施例においては制御電圧ΔVによってループ利得が変化しないことがわかる。

【0056】

【発明の効果】以上説明したように本発明は、電圧制御型減衰器を帰還経路の中に入れることによって、帰還ループのループ利得が制御電圧によって変化することのない、発振安定度が高くしかも歪が悪化してしまうことのない電圧制御型利得可変増幅回路を提供できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例の回路図である。

【図2】図1中の電圧制御型減衰器の一例の回路図である。

【0052】

$$A_{v2} = \frac{I_{S1}}{I_1} \cdot \exp \frac{q}{4kT} \{V_1 - (V + \Delta V)\}$$

【0053】となる。つまり図1における演算増幅器1の出力端から反転入力端までの利得A_{v0}は、

【0054】

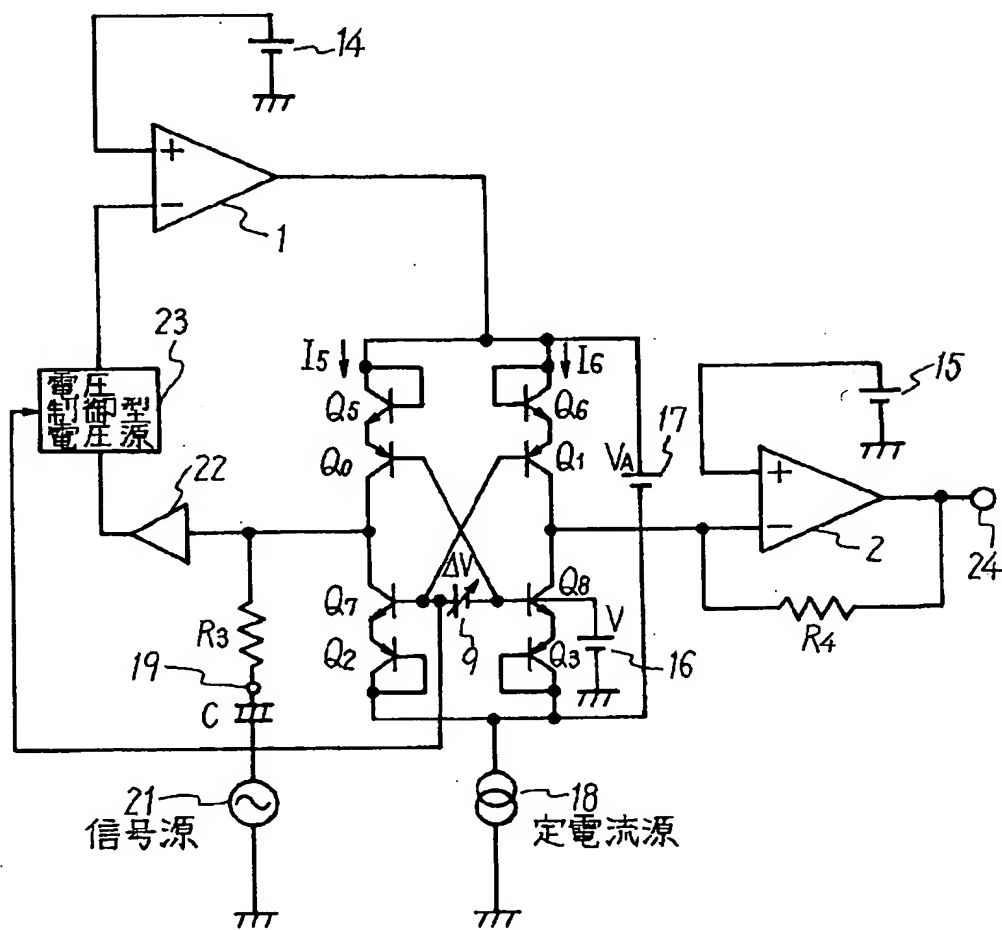
【図3】従来の電圧制御型利得可変増幅回路の一例の回路図である。

【符号の説明】

- 1, 2 演算増幅器
- 9 制御電圧源
- 14, 15, 16, 17, 55 定電圧源
- 18, 57, 58 定電流源
- 19, 51 入力端子
- 21 信号源
- 22 緩衝増幅器
- 23 電圧制御型減衰器
- 24, 53 出力端子
- 52 制御端子

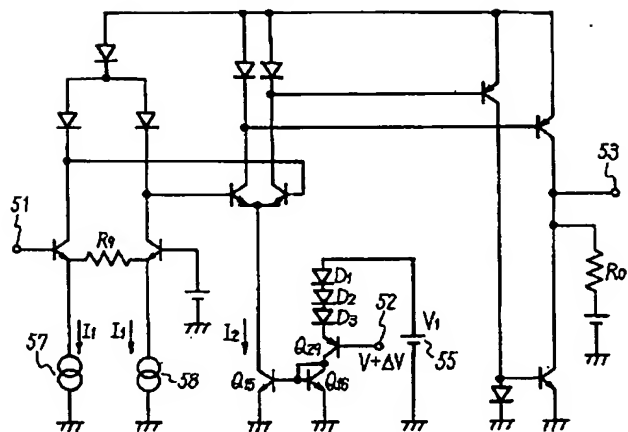
【図1】

- 1, 2 : 演算増幅器
 9 : 制御電圧源
 14, 15, 16, 17 : 定電圧源
 19 : 入力端子
 23 : 緩衝増幅器
 24 : 出力端子



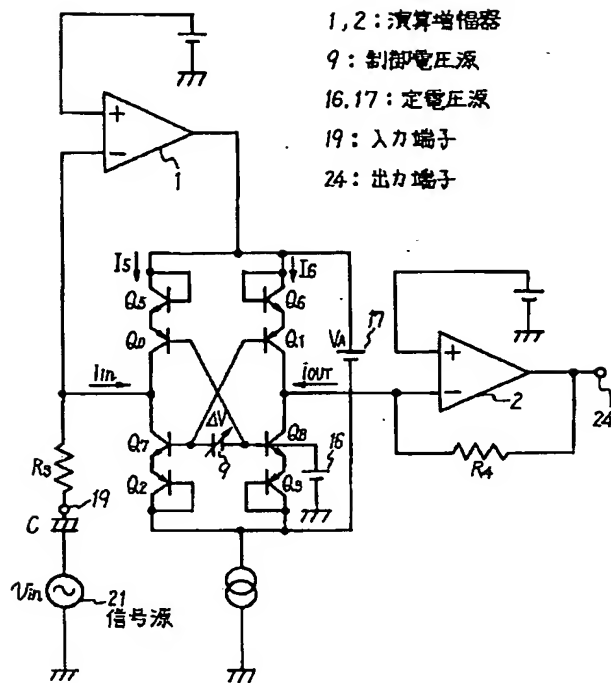
【図 2】

- 51: 入力端子
52: 制御端子
53: 出力端子
55: 定電圧源
57, 58: 定電流源



【図 3】

- 1, 2: 演算増幅器
9: 制御電圧源
16, 17: 定電圧源
19: 入力端子
24: 出力端子



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.